

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月28日  
Date of Application:

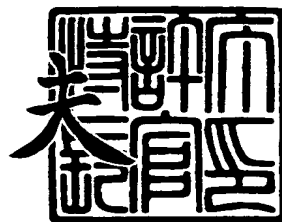
出願番号 特願2003-052139  
Application Number:  
[ST. 10/C]: [JP 2003-052139]

出願人 株式会社半導体エネルギー研究所  
Applicant(s):

2003年12月22日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



出証番号 出証特2003-3106360

【書類名】 特許願

【整理番号】 P006989

【提出日】 平成15年 2月28日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 高山 徹

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体素子の剥離方法及び半導体装置の作製方法

【特許請求の範囲】

【請求項 1】

複数の凹部を有する第 1 の下地膜を基板上に形成し、  
前記複数の各凹部に複数のボイドを有する第 2 の下地膜を、前記第 1 の下地膜上に成膜し、  
前記第 2 の下地膜上に第 3 の下地膜を形成し、  
前記第 3 の下地膜上に半導体素子を形成し、  
前記複数のボイドと交わる面を境に前記第 2 の下地膜を分離することで、前記基板を前記半導体素子から剥離することを特徴とする半導体素子の剥離方法。

【請求項 2】

複数の凹部を有する第 1 の下地膜を基板上に形成し、  
前記複数の各凹部に複数のボイドを有する第 2 の下地膜を、前記第 1 の下地膜上に成膜し、  
前記第 2 の下地膜の表面を研磨し、  
前記表面が研磨された第 2 の下地膜上に第 3 の下地膜を形成し、  
前記第 3 の下地膜上に半導体素子を形成し、  
前記複数のボイドと交わる面を境に前記第 2 の下地膜を分離することで、前記基板を前記半導体素子から剥離することを特徴とする半導体素子の剥離方法。

【請求項 3】

複数の凹部を有する第 1 の下地膜を基板上に形成し、  
前記複数の各凹部に複数のボイドを有する第 2 の下地膜を、前記第 1 の下地膜上に成膜し、  
前記第 2 の下地膜の表面を研磨し、  
前記表面が研磨された第 2 の下地膜上に第 3 の下地膜を形成し、  
前記第 3 の下地膜上に半導体素子を形成し、  
前記複数のボイドと交わる面を境に前記第 2 の下地膜及び第 1 の下地膜を分離することで、前記基板を前記半導体素子から剥離することを特徴とする半導体素

子の剥離方法。

【請求項 4】

複数の凹部を有する第 1 の下地膜を第 1 の基板上に形成し、  
前記複数の各凹部上に複数のボイドを有する第 2 の下地膜を、前記第 1 の下地膜上に成膜し、  
前記第 2 の下地膜の表面を研磨し、  
前記表面が研磨された第 2 の下地膜上に第 3 の下地膜を形成し、  
前記第 3 の下地膜上に半導体素子を形成し、  
前記半導体素子を覆うように保護膜を形成し、  
前記保護膜に第 2 の基板を貼り合わせ、なおかつ前記第 1 の基板に第 3 の基板を貼り合わせ、  
前記複数のボイドと交わる面を境に前記第 2 の下地膜を分離することで、前記第 1 の基板及び第 3 の基板を前記半導体素子及び前記第 2 の基板から剥離することを特徴とする半導体素子の剥離方法。

【請求項 5】

複数の凹部を有する第 1 の下地膜を第 1 の基板上に形成し、  
前記複数の各凹部上に複数のボイドを有する第 2 の下地膜を、前記第 1 の下地膜上に成膜し、  
前記第 2 の下地膜の表面を研磨し、  
前記表面が研磨された第 2 の下地膜上に第 3 の下地膜を形成し、  
前記第 3 の下地膜上に半導体素子を形成し、  
前記半導体素子を覆うように保護膜を形成し、  
前記保護膜に第 2 の基板を貼り合わせ、なおかつ前記第 1 の基板に第 3 の基板を貼り合わせ、  
前記複数のボイドと交わる面を境に前記第 2 の下地膜及び第 1 の下地膜を分離することで、前記第 1 の基板及び第 3 の基板を前記半導体素子及び前記第 2 の基板から剥離することを特徴とする半導体素子の剥離方法。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか 1 項において、前記第 1 の下地膜は絶縁膜で

あることを特徴とする半導体素子の剥離方法。

【請求項 7】

凹部を有しなおかつ金属膜からなる第 1 の下地膜を基板上に形成し、  
酸化により前記金属膜の表面に金属酸化膜を形成し、  
前記複数の各凹部上に複数のボイドを有する第 2 の下地膜を、前記金属酸化膜上に成膜し、  
前記第 2 の下地膜の表面を研磨し、  
前記表面が研磨された第 2 の下地膜上に第 3 の下地膜を形成し、  
前記第 3 の下地膜上に半導体素子を形成し、なおかつ前記金属酸化膜を結晶化し、  
前記複数のボイド及び前記結晶化された金属酸化膜の一部と交わる面を境に、  
前記第 2 の下地膜を分離することで、前記基板を前記半導体素子から剥離することを特徴とする半導体素子の剥離方法。

【請求項 8】

凹部を有しなおかつ金属膜からなる第 1 の下地膜を基板上に形成し、  
酸化により前記金属膜の表面に金属酸化膜を形成し、  
前記複数の各凹部上に複数のボイドを有する第 2 の下地膜を、前記金属酸化膜上に成膜し、  
前記第 2 の下地膜の表面を研磨し、  
前記表面が研磨された第 2 の下地膜上に第 3 の下地膜を形成し、  
前記第 3 の下地膜上に半導体素子を形成し、なおかつ前記金属酸化膜を結晶化し、  
前記複数のボイド及び前記結晶化された金属酸化膜の一部と交わる面を境に、  
前記第 2 の下地膜及び第 1 の下地膜を分離することで、前記基板を前記半導体素子から剥離することを特徴とする半導体素子の剥離方法。

【請求項 9】

凹部を有しなおかつ金属膜からなる第 1 の下地膜を第 1 の基板上に形成し、  
酸化により前記金属膜の表面に金属酸化膜を形成し、  
前記複数の各凹部上に複数のボイドを有する第 2 の下地膜を、前記金属酸化膜

上に成膜し、

前記第2の下地膜の表面を研磨し、

前記表面が研磨された第2の下地膜上に第3の下地膜を形成し、

前記第3の下地膜上に半導体素子を形成し、なおかつ前記金属酸化膜を結晶化し、

前記半導体素子を覆うように保護膜を形成し、

前記保護膜に第2の基板を貼り合わせ、なおかつ前記第1の基板に第3の基板を貼り合わせ、

前記複数のボイド及び前記結晶化された金属酸化膜の一部と交わる面を境に、前記第2の下地膜を分離することで、前記第1の基板及び第3の基板を前記半導体素子及び前記第2の基板から剥離することを特徴とする半導体素子の剥離方法。

【請求項10】

凹部を有しなおかつ金属膜からなる第1の下地膜を第1の基板上に形成し、

酸化により前記金属膜の表面に金属酸化膜を形成し、

前記複数の各凹部上に複数のボイドを有する第2の下地膜を、前記金属酸化膜上に成膜し、

前記第2の下地膜の表面を研磨し、

前記表面が研磨された第2の下地膜上に第3の下地膜を形成し、

前記第3の下地膜上に半導体素子を形成し、なおかつ前記金属酸化膜を結晶化し、

前記半導体素子を覆うように保護膜を形成し、

前記保護膜に第2の基板を貼り合わせ、なおかつ前記第1の基板に第3の基板を貼り合わせ、

前記複数のボイド及び前記結晶化された金属酸化膜の一部と交わる面を境に、前記第2の下地膜及び第1の下地膜を分離することで、前記第1の基板及び第3の基板を前記半導体素子及び前記第2の基板から剥離することを特徴とする半導体素子の剥離方法。

【請求項11】

請求項 2 乃至請求項 10 のいずれか 1 項において、前記研磨は CMP 法を用いて行なわれていることを特徴とする半導体素子の剥離方法。

【請求項 12】

複数の凹部を有する第 1 の下地膜を第 1 の基板上に形成し、  
前記複数の各凹部上に複数のボイドを有する第 2 の下地膜を、前記第 1 の下地膜上に成膜し、  
前記第 2 の下地膜上に第 3 の下地膜を形成し、  
前記第 3 の下地膜上に半導体素子を形成し、  
前記複数のボイドと交わる面を境に前記第 2 の下地膜を分離することで、前記第 1 の基板を前記半導体素子から剥離し、  
前記剥離した半導体素子を第 2 の基板に貼り合わせることを特徴とする半導体素子の作製方法。

【請求項 13】

複数の凹部を有する第 1 の下地膜を第 1 の基板上に形成し、  
前記複数の各凹部上に複数のボイドを有する第 2 の下地膜を、前記第 1 の下地膜上に成膜し、  
前記第 2 の下地膜の表面を研磨し、  
前記表面が研磨された第 2 の下地膜上に第 3 の下地膜を形成し、  
前記第 3 の下地膜上に半導体素子を形成し、  
前記複数のボイドと交わる面を境に前記第 2 の下地膜を分離することで、前記第 1 の基板を前記半導体素子から剥離し、  
前記剥離した半導体素子を第 2 の基板に貼り合わせることを特徴とする半導体素子の作製方法。

【請求項 14】

凹部を有しなおかつ金属膜からなる第 1 の下地膜を第 1 の基板上に形成し、  
酸化により前記金属膜の表面に金属酸化膜を形成し、  
前記複数の各凹部上に複数のボイドを有する第 2 の下地膜を、前記金属酸化膜上に成膜し、  
前記第 2 の下地膜の表面を研磨し、

前記表面が研磨された第2の下地膜上に第3の下地膜を形成し、

前記第3の下地膜上に半導体素子を形成し、なおかつ前記金属酸化膜を結晶化し、

前記複数のボイド及び前記結晶化された金属酸化膜の一部と交わる面を境に、前記第2の下地膜を分離することで、前記第1の基板を前記半導体素子から剥離し、

前記剥離した半導体素子を第2の基板に貼り合わせることを特徴とする半導体素子の作製方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、絶縁表面上に形成された半導体素子の剥離方法及び該剥離方法を用いた半導体装置の作製方法に関する。

##### 【0002】

#### 【従来の技術】

携帯電話や電子手帳などに代表される携帯用電子機器には、画像を表示するためのフラットパネルディスプレイの他、メールの送受信、音声認識、小型カメラによる映像の取り込みなど様々な機能が要求されている一方、小型化、軽量化に対するユーザーニーズも依然根強い。そのため、回路規模やメモリ容量のより大きいICを、携帯用電子機器の限られた容積の中により多く搭載する必要性に迫られている。ICを収容するためのスペースを確保し、なおかつ携帯用電子機器を小型化、軽量化するためには、搭載するフラットパネルディスプレイを如何に薄く、軽く作るかが重要なポイントとなる。薄型化、軽量化を図るには、パネルに用いられるガラス基板の厚さを抑えることが最も効果的であると考えられるが、パネルの機械的強度を考慮するとガラス基板をむやみやたらと薄くすることはできない。例えばバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等を用いた場合、3インチ角のパネルの厚さはせいぜい1～2mm程度、重量10g程度が限界である。

##### 【0003】



上記問題が背景にあり、ガラス基板の代わりにプラスチック基板を用いたフラットパネルディスプレイの研究、開発が盛んに行なわれている。プラスチック基板は可撓性を有する分、ガラス基板と比較して振動、衝撃に対する機械的強度に優れており、厚さを抑えやすい。また材質そのものも軽量であるため、フラットパネルディスプレイの薄型化、軽量化には、好都合な基板であると考えられる。ただプラスチック基板は、半導体素子の作製工程における熱処理に耐え得るほど、耐熱性に優れていない場合が多い。そのため、別途用意した耐熱性を有する基板上において半導体素子を形成した後、該半導体素子を基板から剥離し、プラスチック基板上に貼り合わせる作製方法が提案されている。そして具体的に提案されている剥離の仕方は、各メーカーでまちまちであり、それぞれに特色のある技術的工夫が凝らされている。

#### 【0004】

下記特許文献1には、光エッチングを用いて、多数の微細なボイド（空隙）を表面に有する多孔質GaN膜を基板上に形成した後、エピタキシャル成長により多孔質GaN膜上にGaNエピ膜を形成し、次にボイドを有するGaNの層を選択エッチング、超高压水流、GaAsジェット、レーザー切断などにより、溶解、破断することで基板からエピ膜を剥離し、他の基板に貼り付ける窒化物半導体の作製方法について開示されている。

#### 【0005】

##### 【特許文献1】

特開2001-223165号公報

#### 【0006】

上記特許文献1のように、半導体膜の成膜前において基板と半導体膜の間にボイドを形成する剥離法の場合、半導体膜の成膜後に、剥離の促進を目的として、半導体膜自体に加熱処理やレーザ光の照射等を別途行なう必要がないので、半導体膜に損傷が与えられないというメリットを有する。また、ボイドの存在によって、半導体膜の内部応力を緩和することができる。

#### 【0007】

##### 【発明が解決しようとする課題】

しかし上記特許文献1では、光エッチングによりボイドを形成しているため、得られるボイド大きさに限界がある。そのため、ボイドが形成されている層の溶解、破断にかかる時間を抑えることを目的として、または、剥離の際に半導体膜にかかる応力等の負担をより軽減することを目的として、ボイドをある一定の大きさ以上に最適化することができない。また上記特許文献1には、単結晶の半導体膜の剥離方法について記載されているが、絶縁表面上の薄膜の半導体膜を用いて形成された半導体素子を、ボイドを用いて剥離する具体的な方法については、何ら開示されていない。

#### 【0008】

本発明は上述した問題に鑑み、ボイドを用いて絶縁表面上の薄膜の半導体素子を剥離する剥離方法、及び該剥離した半導体素子を転写する半導体装置の作製方法の提案を課題とする。

#### 【0009】

##### 【課題を解決するための手段】

本発明では、凹凸を有する第1の下地膜を基板上に成膜し、該第1の下地膜上に第2の下地膜を成膜する。そして少なくとも該凹部上において第2の下地膜に空隙（ボイド）が形成されるように、第1の下地膜が有する凹部の形状を制御する。凹部の開口部が狭く、また深いほど、ボイドが形成されやすく、また凹部に占めるボイドの体積の割合が高くなる。

#### 【0010】

凹部の形状の他、形成されるボイドの形状及び体積は、第2の下地膜の成膜方法によっても左右される。成膜する絶縁膜の凹部への段差被覆性（ステップカバレッジ）が良いほど、ボイドの凹部に占める割合を小さくでき、逆にステップカバレッジが悪いほど、ボイドの凹部に占める割合を大きくすることができる。具体的にボイドを有する第2の下地膜は、スパッタ法、塗布法、条件によってはCVD法などを用いることができる。

#### 【0011】

図1を用いて、ボイドを有する第2の下地膜の形成方法について説明する。まず図1（A）に示すように、凹凸を有する第1の下地膜100を形成する。第1

の下地膜の凹凸の形成の仕方については、実施の形態において後述する。100aに示す部分が凹部に相当し、100bに示す部分が凸部に相当する。そして、例えばスパッタ法を用いて第2の下地膜101を成膜した場合、成膜初期においては図1(A)に示すように、水平方向に比較的近い凸部100b上と凹部100aの底部上に、優先的に第2の下地膜101が成膜される。

#### 【0012】

そして、図1(A)に示した状態からさらに第2の下地膜101の成膜を続けていくと、図1(B)に示す状態が得られる。図1(B)に示すように第2の下地膜101は、凸部100bのエッジ近傍102において、他の部分に比べ厚く成膜される。これは、第2の下地膜101を構成する分子が、被形成面に付着すると安定なサイトを求めて表面を移動した結果、凸部100bのエッジ近傍102に集まりやすいためである。

#### 【0013】

さらに第2の下地膜の成膜を続けていくと、凹部100aの内部における第2の下地膜101の成膜速度はエッジ近傍102における成膜速度よりも遅いため、図1(C)に示すように、エッジ近傍102に厚く成膜された部分がさらに成長し、最終的には凹部100aを覆ってしまう。そして凹部100a上において、第2の下地膜101中に空隙(ボイド)103が形成される。

#### 【0014】

ボイド103の形状及び体積は、凹部100aの形状と成膜方法に依存する。例えば、図1(C)が図1(D)に示した基板の上面図の、A-A'における断面図に相当すると仮定する。図1(D)では凹部100aがストライプ状に一方方向に延びており、この場合ボイド103は凹部100aのストライプの長手方向に沿って延びるように形成される。

#### 【0015】

このように形成された第2の下地膜101上に、薄膜の半導体膜を成膜し、半導体素子を形成した後、第2の下地膜101のボイド103を含む領域を溶解、粉碎したりすることで、半導体素子を剥離し、別途用意した基板上に転写する。このとき剥離は、単に物理的な力を加えるだけで行っても良いし、選択的なエッ

チング、超高压水流またはレーザーによる粉碎などの処理を施して行っても良い。剥離は半導体素子に直接レーザーを照射したり、半導体素子の特性に影響を与えるような加熱処理を行なう必要はないので、半導体膜に与えられる損傷を抑えることができる。また、ボイドの存在によって、第2の下地膜や半導体膜の内部応力を緩和することができ、半導体素子の作製工程におけるストレスマイグレーションを抑えることができる。

#### 【0016】

本発明では凹凸の絶縁膜を用いることで、ボイドの大きさ、形状、レイアウトを最適化しやすく、剥離の際に必要な物理的な力、または剥離を促進させるための処理時間を抑えることができ、結果、剥離の際に半導体素子にかかる負担を小さくすることができる。

#### 【0017】

##### 【発明の実施の形態】

##### （実施の形態1）

以下、本発明の剥離方法を用いた半導体装置の作製方法について説明する。

#### 【0018】

まず、図2（A）に示すように、凹凸を有する第1の下地膜201を第1の基板200上に形成する。第1の基板200は、後の工程の処理温度に耐える材質であれば良く、例えば石英基板、シリコン基板、バリウムホウケイ酸ガラスまたはアルミノホウケイ酸ガラスなどのガラス基板、金属基板またはステンレス基板等を用いることができる。

#### 【0019】

また本実施の形態では、第1の下地膜201として酸化珪素膜を用いた。なお、第1の下地膜201の材料はこれに限定されず、窒化珪素、窒化酸化珪素等の絶縁膜であっても、W、Moなどの金属膜であっても良い。またこの凹凸の形成の仕方については、後段において詳しく説明する。第1の下地膜201は単一の層に限らず、2層以上の積層構造であってもよい。この場合、全層が絶縁膜であっても良いし、金属膜であっても良い。または絶縁膜と金属膜との積層構造であっても良い。

**【0020】**

凹凸の形状は、成膜方法と、剥離の方法との兼ね合いで、設計者が適宜決めることができる。本実施の形態では、凹部203をストライプ形状とし、その長手方向に対し垂直方向における幅 $W_d$ を $1\mu m$ 以下、深さ $W_h$ を $2\mu m$ 以上とする。

**【0021】**

次に図2(B)に示すように、第1の下地膜201を覆うように第2の下地膜202を形成する。第2の下地膜202は、スパッタ法、塗布法、プラズマCVD法等を用いて成膜することができる。なお成膜方法はこれらに限定されず、第2の下地膜202にボイドが形成できるならば、その他の公知の成膜方法を用いることができる。第2の下地膜202は絶縁膜であることが望ましく、具体的には酸化珪素、窒化珪素、窒化酸化珪素やその他の公知の絶縁膜を用いることができる。本実施の形態では、第2の下地膜202として酸化珪素を、RFスパッタ法を用いて成膜する。

**【0022】**

第2の下地膜202の膜厚は、凹部203における開口部が閉じることでボイド207が形成される程度の膜厚になるまで成膜する。よってその膜厚は、凹部203の形状や成膜方法によって適宜定めるのが望ましい。本実施の形態では、第1の下地膜201の凸部204上における膜厚が $1\mu m$ 程度となるように成膜する。

**【0023】**

なお、成膜直後の第2の下地膜202の表面には、第1の下地膜201が有する凹凸によって、多少平坦性に欠けている場合がある。よって、後に形成される半導体素子の特性に、影響が出るのを避けるために、第2の下地膜202の表面を研磨しておいても良い。本実施の形態では、CMP法(Chemical-Mechanical Polishing)、いわゆる化学的・機械的ポリッシング法を用いて第2の下地膜202の表面を研磨する。CMP法は公知の方法で行うことが可能である。酸化膜の研磨では、一般的に $100\sim 1000nm\phi$ の研磨剤を、pH調整剤等の試薬を含む水溶液に分散させた固液分散系のスラリーが用いられる。本実施の形態で

は、水酸化カリウムが添加された水溶液に、塩化珪素ガスを熱分解して得られるフュームドシリカ粒子を20wt%分散したシリカスラリー（pH=10～11）を用いる。なお、第2の下地膜202の表面の研磨は、CMP法に限定されず、平坦性が確保できるのであれば、その他の研磨法を用いても良い。表面の研磨により、第2の下地膜202の表面は、図2（C）に示すように平坦化される。

#### 【0024】

次に、平坦化された第2の下地膜202上に、絶縁膜からなる第3の下地膜205を成膜し、該第3の下地膜205上に半導体素子206、ここではTFTを形成する（図2（D））。第3の下地膜205は、第2の下地膜202よりも比較的エッチングレートが遅い膜を用いる。これにより、第2の下地膜202のボイドを含む部分において剥離を行なう際に、第3の下地膜205によって半導体素子206を保護することができる。さらに剥離する半導体素子206は、層間絶縁膜等で覆い、保護しておくことが望ましい。

#### 【0025】

次に、半導体素子206を覆って、保護層212を形成する。保護層212は、後に第2の基板を貼り合わせたり剥離したりする際に、半導体素子206を保護する機能を有しており、第2の基板の剥離後に除去することが可能な材料を用いる。例えば、水またはアルコール類に可溶なエポキシ系、アクリレート系、シリコン系の樹脂を全面に塗布し、焼成することで保護層212を形成することができる。本実施の形態ではスピンコートで水溶性樹脂（東亜合成製：VL-WSHL10）を膜厚30 $\mu$ mとなるように塗布し、仮硬化させるために2分間の露光を行ったあと、UV光を裏面から2.5分、表面から10分、合計12.5分の露光を行って本硬化させて、保護層212を形成する（図3（A））。

#### 【0026】

なお、複数の有機樹脂を積層する場合、有機樹脂どうしでは使用している溶媒によって塗布または焼成時に一部溶解したり、密着性が高くなりすぎる恐れがある。従って、半導体素子206を覆っている層間絶縁膜と保護層212を共に同じ溶媒に可溶な有機樹脂を用いる場合、後の工程において保護層212の除去がスムーズに行なわれるように、半導体素子206を覆っている層間絶縁膜と、後

に成膜される保護層 212 との間に、無機絶縁膜 ( $\text{SiN}_x$ 膜、 $\text{SiN}_x\text{O}_y$ 膜、 $\text{AlN}_x$ 膜、または $\text{AlN}_x\text{O}_y$ 膜) を形成しておくことが好ましい。

#### 【0027】

次いで、両面テープ 208 を用い、保護層 212 に第 2 の基板 209 を貼り付け、さらに両面テープ 210 を用い、第 1 の基板 200 に第 3 の基板 211 を貼り付ける (図 3 (A))。なお必ずしも両面テープを用いて貼り付ける必要はない。第 2 の基板 209 または第 3 の基板 211 を貼り付けられる機能を有する物であれば良く、例えば接着剤を用いてもよい。紫外線によって剥離する接着剤を用いることで、第 2 の基板 209 剥離の際に半導体素子にかかる負担を軽減させることができる。第 3 の基板 211 を貼り付けることで、後の剥離工程で第 1 の基板 200 が破損するのを防ぐことができる。第 2 の基板 209 および第 3 の基板 211 としては、第 1 の基板 200 と同程度が、より剛性の高い基板、例えば石英基板、半導体基板を用いることが好ましい。

#### 【0028】

なお保護層 212 の膜厚を大きくすることで、第 2 の基板 209 を貼り付けずに済ましても良い。また、第 1 の基板 200 が剥離の際に耐え得る程度の剛性を有するのであれば、第 3 の基板は必ずしも設ける必要はない。

#### 【0029】

次に、ボイド 207 において第 2 の下地膜 202 が第 1 の基板 200 側と、第 2 の基板 209 側に部分的に分かれるように、剥離開始のきっかけとなる処理を行う。具体的には、剥離しようとする領域の周縁に沿って外部から局所的に圧力を加えて、第 2 の下地膜 202 の基板端面において露出している部分に損傷を与えることで、ボイド 207 を決る。本実施の形態では、ダイヤモンドペンなどの硬い針を第 2 の下地膜 202 の端部近傍に垂直に押しつけ、そのまま荷重をかけた状態で第 2 の下地膜 202 に沿って動かす。好ましくは、スクライバー装置を用い、押し込み量を 0.1 mm ~ 2 mm とし、圧力をかけて動かせばよい。このように、剥離を行う前に、剥離が開始されるきっかけとなるような、密着性の低下した部分を形成することで、後の剥離工程における不良を低減させることができ、歩留まり向上につながる。

**【0030】**

次いで第2の下地膜202を、ボイド207において第1の基板200側と、第2の基板209側に剥離するように、物理的に引き剥がす(図3(B))。引き剥がしは、先の工程において処理を施した、剥離開始のきっかけとなる部分から開始する。この引き剥がしによって、ボイド207と交わる面を境に、第2の下地膜202が第1の基板200側と第2の基板209側に剥離する他、第1の下地膜201の一部も、第1の基板200側と第2の基板209側に剥離する場合がある。そして第2の基板209側に半導体素子206が、第3の基板211側に第1の基板200と、第2の下地膜202の一部と、さらに場合によっては第1の下地膜201の一部とが、それぞれ貼り付いたまま分離する。

**【0031】**

引き剥がしは、例えば、ノズルから吹付けられるガスの風圧、超音波等で行なうことができる。また、レーザーの照射や、水流またはその他の液体の噴射によって、基板の端面からボイド207を粉碎することで剥離したり、エッチングによりボイド207を広げることで剥離しても良い。いずれの方法を用いるかは設計者が適宜選択することが可能であるが、保護層212が溶解しないように、その材料に合わせて剥離方法を定めることが望ましい。

**【0032】**

なお剥離後に、第2の基板209側に剥離された一部の第2の下地膜202、またはそれに加えて一部の第1の下地膜201を、エッチングによりある程度、または完全に除去するようにしても良い(図3(C))。

**【0033】**

次に接着剤213で、半導体素子を最終的に転写する基板(素子基板)214に、半導体素子206を貼り合わせる。具体的には、剥離によって現れた面を接着剤213で素子基板214に接着させることで、半導体素子206を貼り合わせる(図4(A))。この接着の際に、両面テープ208による第2の基板209と保護層212との間の密着力よりも、接着剤213による素子基板214と半導体素子206との間の密着力の方を高くすることができると、接着剤213の材料を選択することが重要である。



**【0034】**

接着剤 213 としては、反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤が挙げられる。さらに好ましくは、銀、ニッケル、アルミニウム、窒化アルミニウムからなる粉末、またはフィラーを含ませて接着剤 213 も高い熱伝導性を備えていることが好ましい。

**【0035】**

また本実施の形態では、素子基板 214 としてプラスチック基板を用いる。半導体装置の薄型化、軽量化に重点を置くならばプラスチック基板用いることが有効であるが、本発明で用いる素子基板はこれに限定されない。素子基板として、ガラスエポキシ等を用いたインターポーザや、その他の材料を用いた基板を用いることも可能である。

**【0036】**


プラスチック基板としては、極性基のついたノルボルネン樹脂からなる ARTON:JSR 製を用いることができる。また、ポリエチレンテレフタレート (PET)、ポリエーテルスルホン (PES)、ポリエチレンナフタレート (PEN)、ポリカーボネート (PC)、ナイロン、ポリエーテルエーテルケトン (PEEK)、ポリスルホン (PSF)、ポリエーテルイミド (PEI)、ポリアリレート (PAR)、ポリブチレンテレフタレート (PBT)、ポリイミドなどのプラスチック基板を用いることができる。

**【0037】**

次に図 4 (A) に示すように、保護層 212 から両面テープ 208 と第 2 の基板 209 を順に、または同時に剥がす。なお、接着剤 213 として紫外線硬化型接着剤を用い、両面テープ 208 として紫外線によって剥離するテープまたは接着剤を用いることで、一度の紫外線照射により、両面テープ 208 の剥離と接着剤 213 の硬化を同時に行なうことができる。

**【0038】**

そして図 4 (B) に示すように保護層 212 を除去する。ここでは保護層 212 に水溶性の樹脂が使われているので、水に溶かして除去する。保護層 212 が



残留していると不良の原因となる場合は、除去後の表面に洗浄処理や $O_2$ プラズマ処理を施し、残留している保護層 212 の一部を除去することが好ましい。

#### 【0039】

以上の工程によって、半導体素子の転写を行うことができる。なお、集積回路の三次元化を目的として、2層目の半導体素子を積層する場合には、1層目の半導体素子と同じ要領で転写を行えば良い。各層間の距離は、各層間の接着に用いられる接着剤の厚さを調整することで制御することができる。接着剤の厚さは、貼り合わせの際の圧力に依存するが、薄くて数 $\mu m$ 程度で貼り合わせることができる。

#### 【0040】

なお、転写により表示装置を形成する場合は、その表示素子を転写後に作製する。具体的に液晶表示装置の場合、例えば半導体素子の一つである TFT に電氣的に接続された液晶セルの画素電極や、該画素電極を覆っている配向膜を作製してから転写し、その後、別途作製しておいた対向基板を貼り合わせて液晶を注入し完成させるようにする。本発明の半導体装置に含まれる表示装置には、例えば液晶表示装置、有機発光素子（エレクトロルミネッセンス素子）に代表される発光素子を各画素に備えた発光装置、DMD（Digital Micromirror Device）等が代表的に挙げられる。また本発明の半導体装置に含まれる集積回路には、マイクロプロセッサ（CPU）、メモリ、電源回路、またその他のデジタル回路やアナログ回路が含まれる。

#### 【0041】

なお、上述した剥離方法を用いて剥離した半導体素子の転写の手順については、上述した構成に限定されない。

#### 【0042】

図5を用いて、発光素子の具体的な転写方法について説明する。発光装置の転写は、電界発光層を成膜する前に行なうのが望ましい。本実施の形態では、画素電極を形成した後、画素間の隔壁として用いる有機樹脂膜を成膜する前に転写を行なう場合を例に挙げて説明する。

#### 【0043】

図5 (A) は転写が完了した時点での、画素の断面図に相当する。501は駆動回路に用いられるTFTに相当し、502は発光素子への電流の供給を制御するTFTに相当する。発光素子の画素電極503は、TFT502に電氣的に接続されている。本実施の形態では、画素電極503は透明導電膜、例えばITOで形成されている。なお本実施の形態では、発光素子の画素電極に透明導電膜を用いているが、本発明はこれに限定されない。発光素子からの光の方向を、素子基板側に向かせるのか、それとは反対の方向に向かせるのかによって、発光素子の構成を適宜最適化するのが望ましい。

#### 【0044】

次に転写終了後、図5 (B) に示すように、画素電極503が一部露出するような開口部を有する隔壁504を成膜する。本実施の形態では、有機樹脂膜を用いて、隔壁504を形成する。そして、隔壁504の開口部において画素電極503と重なるように、電界発光層505、陰極506を積層するように成膜する。画素電極503と、電界発光層505と、陰極506とが重なる部分が、発光素子507に相当する。

#### 【0045】

なお、画素電極503として用いる透明導電膜は、ITOの他、酸化インジウムに2～20%の酸化亜鉛 (ZnO) を混合した透明導電膜を用いても良い。画素電極503は、その表面が平坦化されるように、CMP法、ポリビニルアルコール系の多孔質体で拭浄で研磨しても良い。またCMP法を用いた研磨後に、画素電極503の表面に紫外線照射、酸素プラズマ処理などを行ってもよい。電界発光層505は、発光層単独かもしくは発光層を含む複数の層が積層された構成を有している。また陰極506は、仕事関数の小さい導電膜であれば公知の他の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。

#### 【0046】

なお隔壁504は、電界発光層505が成膜される前に、吸着した水分や酸素等を除去するために真空雰囲気下で加熱しておくことが望ましい。具体的には、100℃～200℃、0.5～1時間程度、真空雰囲気下で加熱処理を行なう。

望ましくは $3 \times 10^{-7}$  Torr 以下とし、可能であるならば $3 \times 10^{-8}$  Torr 以下とするのが最も望ましい。そして、隔壁 504 に真空雰囲気下で加熱処理を施した後に電界発光層 505 を成膜する場合、成膜直前まで真空雰囲気下に保つことで、信頼性をより高めることができる。

#### 【0047】

また、画素電極 503 が露出している、隔壁 504 の開口部は、その端部に丸みを帯びている方が望ましい。開口部の端部が丸みを帯びていることで、電界発光層 505 が端部において極端に薄くなって穴があいたりするのを防ぐことができ、画素電極と陰極がショートすることによる発光素子の不良を極力抑えることができる。また、端部において電界発光層 505 の応力を緩和させることで、発光領域が減少するシュリンクとよばれる不良を低減させることができ、信頼性を高めることができる。具体的には、開口部における有機樹脂膜の断面が描いている曲線の曲率半径が、 $0.2 \sim 2 \mu\text{m}$  程度であることが望ましい。

#### 【0048】

そして水分や酸素などの発光素子 507 の劣化を促進させる原因となる物質が、発光素子 507 に入るのを防止するために、発光素子 507 を保護膜 508 で覆う。代表的には、例えば DLC 膜、窒化炭素膜、RF スパッタ法で形成された窒化珪素膜等を、保護膜 508 として用いるのが望ましい。また上述した水分や酸素などの物質を透過させにくい膜と、該膜に比べて水分や酸素などの物質を透過させやすい膜とを積層させて、保護膜として用いることも可能である。

#### 【0049】

そして、保護膜 508 を成膜した後に、さらに発光素子の封止を確かなものにするために、乾燥剤を添加した樹脂で、発光素子 507 を覆うようにしても良い。なお、該乾燥剤を添加した樹脂で、後に転写される半導体素子を貼り合わせるようにしても良い。

#### 【0050】

上述したように本発明では、凹凸の絶縁膜を用いることで、ボイドの大きさ、形状、レイアウトを最適化しやすく、剥離の際に必要な物理的な力、または剥離を促進させるための処理時間を抑えることができ、結果、剥離の際に半導体素子

にかかる負担を小さくすることができる。また本発明では剥離は半導体素子に直接レーザーを照射したり、半導体素子の特性に影響を与えるような加熱処理を行なう必要はないので、半導体膜与えられる損傷を抑えることができる。また、ボイドの存在によって、第2の下地膜や半導体膜の内部応力を緩和することができ、半導体素子の作製工程におけるストレスマイグレーションを抑えることができる。

#### 【0051】

##### (実施の形態2)

本実施の形態では、絶縁膜を用いた、凹凸を有する第1の下地膜の作製方法について説明する。なお本実施の形態で示す作製方法及びその構造はほんの一例であり、本発明で用いられる第1の下地膜は無論これに限定されない。

#### 【0052】


まず、図6(A)に示すように、第1の基板601上に第1の絶縁膜602を成膜する。第1の絶縁膜602は本実施例では酸化窒化珪素を用いるがこれに限定されず、後に形成される第2の絶縁膜との、エッチングにおける選択比が大きい絶縁膜であれば良い。本実施例では第1の絶縁膜602を、CVD法で $\text{SiH}_4$ と $\text{N}_2\text{O}$ を用いて50～200nmの厚さになるように形成した。なお第1の下地膜は単層であっても、複数の絶縁膜を積層した構造であってもよい。

#### 【0053】

次に、図6(B)に示すように、第1の絶縁膜602に接するように第2の絶縁膜603を形成する。第2の絶縁膜603は、後の工程におけるパターニングによって凸部を構成することになるので、凸部の深さを考慮し、その膜厚を設定する必要がある。本実施例では第2の絶縁膜603として酸化珪素を用い、プラズマCVD法を用いて膜厚0.5 $\mu\text{m}$ ～3 $\mu\text{m}$ となるように成膜する。

#### 【0054】

次に、図6(C)に示すようにマスク604を形成し、第2の絶縁膜603をエッチングする。なお本実施例では、フッ化水素アンモニウム( $\text{NH}_4\text{HF}_2$ )を7.13%とフッ化アンモニウム( $\text{NH}_4\text{F}$ )を15.4%含む混合溶液(ステラケミファ社製、商品名LAL500)をエッチャントとし、20℃においてウ



エットエッチングを行う。このエッチングにより、凸部 605 が形成される。第 1 の絶縁膜 602 と凸部 605 とを合わせて第 1 の下地膜とみなす。

#### 【0055】

なお、第 1 の絶縁膜 602 として窒化アルミニウム、窒化酸化アルミニウムまたは窒化珪素を用い、第 2 の絶縁膜 603 として酸化珪素膜を用いる場合、RF スパッタ法を用いて第 2 の絶縁膜 603 をパターンニングすることが望ましい。第 1 の絶縁膜 602 として用いる窒化アルミニウム、窒化酸化アルミニウムまたは窒化珪素は熱伝導度が高いので、発生した熱をすばやく拡散することができ、FT の劣化を防ぐことができる。

#### 【0056】

次に、図 6 とは異なる下地膜の形成の仕方について説明する。まず図 7 (A) に示すように第 1 の基板 701 上に絶縁膜 702 を形成する。絶縁膜 702 は、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜などで形成する。酸化珪素膜を用いる場合には、プラズマ CVD 法で、オルトケイ酸テトラエチル (Tetraethyl Orthosilicate: TEOS) と  $O_2$  とを混合し、反応圧力 40 Pa、基板温度 300 ~ 400 °C とし、高周波 (13.56 MHz) 電力密度 0.5 ~ 0.8 W/cm<sup>2</sup> で放電させて形成することができる。酸化窒化珪素膜を用いる場合には、プラズマ CVD 法で  $SiH_4$ 、 $N_2O$ 、 $NH_3$  から作製される酸化窒化珪素膜、または  $SiH_4$ 、 $N_2O$  から作製される酸化窒化珪素膜で形成すれば良い。この場合の作製条件は反応圧力 20 ~ 200 Pa、基板温度 300 ~ 400 °C とし、高周波 (60 MHz) 電力密度 0.1 ~ 1.0 W/cm<sup>2</sup> で形成することができる。また、窒化珪素膜も同様にプラズマ CVD 法で  $SiH_4$ 、 $NH_3$  から作製することが可能である。

#### 【0057】

絶縁膜 702 は、後の工程におけるパターンニングによって凸部を構成することになるので、凸部の深さを考慮し、その膜厚を設定する必要がある。本実施の形態では、その膜厚を 0.5  $\mu m$  ~ 3  $\mu m$  とした。

#### 【0058】

次に図 7 (B) に示すように、フォトリソグラフィの技術を用いマスク 703 を形成する。そして、エッチングにより不要な部分を除去して、凸部を有する

第1の下地膜704を形成する。エッチングには、フッ素系のガスを用いたドライエッチング法を用いても良いし、フッ素系の水溶液を用いたウエットエッチング法を用いても良い。後者の方法を選択する場合には、例えば、フッ化水素アンモニウム ( $\text{NH}_4\text{HF}_2$ ) を7.13%とフッ化アンモニウム ( $\text{NH}_4\text{F}$ ) を15.4%含む混合溶液(ステラケミファ社製、商品名LAL500)でエッチングすると良い。

#### 【0059】

なお図7(B)に示した状態で第1の下地膜を完成としても良いが、さらに第1の下地膜704及び第1の基板701を覆うように、絶縁膜を成膜しても良い。この絶縁膜は第1の下地膜704の露出している部分を覆うことを目的としており、後に形成される第2の下地膜とは異なり、ボイドを形成しない程度に薄く、ステップカバレッジの良い膜で形成する。よって、凸部の深さ及び開口部の面積を考慮して、その膜厚を定めるのが望ましい。上記絶縁膜は、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜などで形成することができる。

#### 【0060】

##### (実施の形態3)

本実施の形態では、第1の下地膜として金属膜を用いる場合の、本発明の剥離方法について説明する。

#### 【0061】

まず、図8(A)に示すように、凹凸を有する第1の下地膜801を第1の基板800上に形成する。第1の基板800は、実施の形態1の示した絶縁膜を用いる場合と同様に、後の工程の処理温度に耐えうる材質であれば良い。また本実施の形態では、第1の下地膜801としてWを用いた。本実施の形態では、スパッタ法を用いて第1の基板800上に金属膜を成膜し、パターンニングすることで、第1の下地膜801を得る。第1の下地膜801は単一の層に限らず、2層以上の金属膜の積層構造であってもよい。

#### 【0062】

凹凸の形状は、成膜方法と、剥離の方法との兼ね合いで、設計者が適宜決めることができる。本実施の形態では、凹部802をストライプ形状とし、その長手

方向に対し垂直方向における幅  $W_d$  を  $1\ \mu\text{m}$  以下、深さ  $W_h$  を  $2\ \mu\text{m}$  以上とする。

#### 【0063】

そして第1の下地膜801の成膜後、大気に曝すことなく第2の下地膜803を積層するように成膜する。ここでは第2の下地膜803として酸化珪素膜を、スパッタ法を用いて成膜する。本実施の形態では、第2の下地膜803の成膜の際に、スパッタの前段階としてターゲットと基板との間をシャッターで遮断してプラズマを発生させる、プレスパッタを行う。プレスパッタは  $\text{Ar}$  を  $10\ \text{sccm}$ 、 $\text{O}_2$  をそれぞれ  $30\ \text{sccm}$  の流量とし、第1の基板800の温度を  $270^\circ\text{C}$ 、成膜パワーを  $3\ \text{kW}$  の平行状態に保って行なう。プレスパッタにより、第1の下地膜801と第2の下地膜803の間に極薄い数  $\text{nm}$ （ここでは  $3\ \text{nm}$ ）程度の金属酸化膜804が形成される。金属酸化膜804は、第1の下地膜801の表面が酸化することで形成される。よって本実施の形態では、金属酸化膜804は酸化タンゲステンで形成される。

#### 【0064】

なお本実施の形態では、プレスパッタにより金属酸化膜804を形成しているが、本発明はこれに限定されない。例えば酸素、または酸素に  $\text{Ar}$  等の不活性ガスを添加し、プラズマにより意図的に第1の下地膜801の表面を酸化し、金属酸化膜804を形成するようにしても良い。プレスパッタ以外の方法で金属酸化膜を形成する場合、第2の下地膜803の成膜方法はスパッタ法に限定されず、塗布法、プラズマCVD法等を用いて成膜することができる。

#### 【0065】

第2の下地膜803は絶縁膜であることが望ましく、具体的には酸化珪素、窒化珪素、窒化酸化珪素やその他の公知の絶縁膜を用いることができる。本実施の形態では、第2の下地膜803として酸化珪素を、スパッタ法を用いて成膜する。第2の下地膜803の膜厚は、凹部802における開口部が閉じることで、ボイド805が形成される程度の膜厚になるよう成膜する。よってその膜厚は、凹部802の形状や成膜方法によって適宜定めるのが望ましい。本実施の形態では、第1の下地膜801の凸部806上における膜厚が  $1\ \mu\text{m}$  程度となるよう



に成膜する。

#### 【0066】

なお、スパッタ法を用いる場合、第1の基板800の端面にも成膜が施される。そのため、後の工程における剥離の際に、ボイド805を境にした第2の下地膜803の剥離が妨げられるのを防ぐために、端面に成膜された第2の下地膜803をO<sub>2</sub>アッシングなどで選択的に除去したり、第1の基板800の端部をダイシング等でカットすることが好ましい。

#### 【0067】

そして、実施の形態1の示した絶縁膜を用いる場合と同様に、第3の下地膜806を成膜し、該第3の下地膜806上に半導体素子807、ここではTFTを形成する(図8(C))。ただし、本実施の形態では、半導体素子の作製工程中において、後の剥離を行ない易くするために、金属酸化膜804を結晶化させる。結晶化により、金属酸化膜804が粒界において割れやすくなり、脆性を高めることができる。本実施の形態では、420℃～550℃、0.5～5時間程度加熱処理を行ない、結晶化を行なった。なお、金属酸化膜を結晶化するための加熱処理は、半導体素子807を形成する前であってもよいし、或いは、半導体素子を形成する工程において行なわれる熱処理が、この金属酸化膜の結晶化の工程を兼ねていても良い。

#### 【0068】

そして、実施の形態1の示した絶縁膜を用いる場合と同様に、半導体素子807を覆って、保護層808を形成する。次いで、両面テープ809を用い、保護層808に第2の基板810を貼り付け、さらに両面テープ811を用い、第1の基板800に第3の基板812を貼り付ける。次に、ボイド805または金属酸化膜804において第2の下地膜803が第1の基板800側と、第2の基板810側に部分的に分かれるように、剥離開始のきっかけとなる処理を行う。そして、第2の下地膜803を、ボイド805または金属酸化膜804において第1の基板800側と、第2の基板810側に剥離するように、物理的に引き剥がす(図8(C))。この引き剥がしによって、そして第2の基板810側に半導体素子807が貼り付いたまま分離する。

**【0069】**

以下、実施の形態1の示した絶縁膜を用いる場合と同様の工程を経て、半導体素子の転写を行うことができる。

**【0070】**

本実施の形態のように、金属酸化膜を結晶化により脆弱化させておくことで、剥離の際に必要な物理的な力、または剥離を促進させるための処理時間をさらに抑えることができ、半導体素子への負担を軽減させることができる。

**【0071】**


なお本実施の形態では、第1の下地膜に用いる金属膜として、タングステンを用いているが、本発明において金属膜はこの材料に限定されない。その表面に金属酸化膜が形成され、該金属酸化膜を結晶化することで基板を引き剥がすことができるような金属を含む材料であれば良い。例えば、TiN、WN、Mo等を用いることができる。またこれらの合金を金属膜として用いる場合、その組成比によって結晶化の際の加熱処理の最適な温度が異なる。よって組成比を調整することで、半導体素子の作製工程にとって妨げとならない温度で加熱処理を行なうことができ、半導体素子のプロセスの選択肢が制限されにくい。

**【0072】****【実施例】****（実施例1）**

本実施例では、本発明の剥離方法を用いて剥離される、TFETの作製方法及び構造の一例について説明する。

**【0073】**

まず第3の下地膜上に島状の半導体膜901を形成し、該島状の半導体膜901を覆ってゲート絶縁膜902、第1の導電膜903、第2の導電膜を順に成膜する。そして第2の導電膜をパターンニングすることで、ゲート電極の一部として機能する第1のゲート電極904を形成する。そして、該第1のゲート電極をマスクとして用い、島状の半導体膜901に一導電型を付与する不純物元素を添加する。本実施例では、例えばn型の不純物元素を添加する例について示す。上記不純物元素の添加により、島状の半導体膜901に第1の不純物領域905が形



成される（図 9（A））。

**【0074】**

次に、第 1 のゲート電極 904 及び第 1 の導電膜 903 を覆って、サイドウォール形成用の絶縁膜 906 を成膜する（図 9（B））。絶縁膜 905 は、酸化珪素、窒化珪素、酸化窒化珪素やその他の絶縁膜を用いることができる。

**【0075】**

そして、サイドウォール形成用の絶縁膜 906 を異方性エッチングすることで、絶縁膜からなるサイドウォール 907 が形成される。図 9（C）に、エッチングによって得られるサイドウォール 907 の形状を示す。図 9（C）では、サイドウォール 907 が第 1 のゲート電極 904 の側壁のみを覆っているが、第 1 のゲート電極 904 の上面の一部または全てを覆うように形成されていても良い。またサイドウォール 907 は、ゲート絶縁膜 902 及び第 1 の導電膜 903 を間に挟んで、第 1 の不純物領域 905 の一部とのみ重なっている。つまり島状の半導体膜 901 の一部には、サイドウォール 907 と重ならない領域が存在する。この領域にソース領域、ドレイン領域を形成するために、再び島状の半導体膜 901 に、先の不純物の添加工程と同じ一導電型を付与する不純物を、第 1 のゲート電極 904 及びサイドウォール 907 をマスクとして添加する。この不純物の添加工程によって、ソース領域、ドレイン領域として機能する第 2 の不純物領域 908 が形成される。第 2 の不純物領域 908 に含まれる不純物の濃度は、第 1 の不純物領域 905 に含まれる不純物濃度よりも高くなるようにする。

**【0076】**

なお、第 1 のゲート電極 904 とサイドウォール 907 のうち、サイドウォール 907 とのみ重なる、島状の半導体膜 901 の一部 909 は、もともと第 1 の不純物領域 905 の一部であるので、第 2 の不純物領域 908 よりも低い濃度で不純物が添加されている。この 909 で示す領域（以下、第 1 の不純物領域と区別するために、第 3 の不純物領域とする）は、LDD 領域として機能する。

**【0077】**

次に、第 1 のゲート電極 904 及びサイドウォール 907 をマスクとして、第 1 の導電膜 903 をエッチングし、ゲート電極の一部として機能する第 2 のゲー

ト電極 910 を形成する。第 2 のゲート電極 910 は、ゲート絶縁膜 902 及び第 1 の導電膜 903 を間に挟んで、第 3 の不純物領域 909 と重なっている。

#### 【0078】

なお本発明の剥離方法を適用することができる半導体素子は、本実施例に示した T F T に限定されない。また半導体素子は T F T に限定されず、例えば、記憶素子（メモリ）、ダイオード、光電変換素子、抵抗素子、コイル、容量素子、インダクタ等、あらゆる回路素子に適用することができる。

#### 【0079】

##### （実施例 2）

図 10 に、本発明の剥離方法を用いて形成された表示装置の外観図を示す。図 10 に示す表示装置は、複数の画素が設けられた画素部 1503 と、画素を選択する走査線駆動回路 1501 と、前記選択された画素にビデオ信号を供給する信号線駆動回路とを有する。そして画素部 1503、信号線駆動回路 1502 または走査線駆動回路 1501 の駆動に用いられる各種信号及び電源電位は、F P C 1504 を介して供給される。そして本実施例では、半導体素子が転写された素子基板 1505 として、プラスチック基板を用いる。プラスチック基板を素子基板として用い、表示装置を形成することで、ガラス基板を用いた場合に比べて表示装置自体の機械的強度を高めることができ、またその薄膜化、軽量化も実現することができる。

#### 【0080】

##### （実施例 3）

本実施例では、第 1 の下地膜の形状の一例について説明する。

#### 【0081】

図 11 に、第 1 の下地膜を形成した時点での、第 1 の基板 1100 の上面図を示す。図 11 に示すように第 1 の下地膜は、ストライプ状に並べられた部分 1101a と、矩形状の凹部が複数並ぶように設けられた部分 1101b とに分けられる。1101a に示した部分では、凸部間に存在する凹部に、ボイドが形成される。また 1101b に示した部分では、複数並べられた矩形状の凹部に、ボイドが形成される。

**【0082】**

ボイドの体積は、1101aに示した部分は、ストライプ状に配置された凸部間の幅（言い換えると凹部の幅）によって制御することができる。また1101bに示した部分は、複数並べられた矩形状の凹部の、長手方向に対して垂直の方向における幅（言い換えると凹部の幅）によって制御することができる。

**【0083】**

そして本実施例では、後の工程において剥離を行なう際、1101aに示した部分に、剥離のきっかけとなるような処理を施し、該部分から剥離を開始する。そのため、1101bに示した部分よりも剥離が比較的容易に行なえるように、1101bに示した部分よりも1101aに示した部分の凹部の幅を狭くし、ボイドの体積をよりも大きくする。

**【0084】**

なお、1101bに示した部分は、1101aに示した部分とは異なり、半導体素子が形成される領域に、その凹部が広く存在している。そのため、各工程において用いられる様々な溶液が、1101aに示した部分よりも1101bに示した部分において、その凹部に残留しやすい。よって、凹部に残留した溶液が、後の工程において悪影響を及ぼすのを防ぐために、1101bに示した部分において、第1の下地膜の凹部の四方を完全に凸部で囲むように、レイアウトを行なうのが望ましい。

**【0085】**

なお凹部の形状は、本発明に示した構成に限定されない。凹部は必ずしも矩形である必要はなく、ボイドが形成されるのであれば、その他の形状を有していても、本発明の効果をを得ることができる。

**【0086】**

（実施例4）

実施の形態1のRFスパッタ法を用いた第2の下地膜202の成膜方法について、その具体的な成膜条件について説明する。

**【0087】**

本実施例では、基板温度を100～200℃、例えば150℃とし、直径30

5 mmのSiO<sub>2</sub>ターゲットを用い、RF電力3 kW、圧力0.4 PaのAr雰囲気下において成膜を行なう。そしてArの流量はトータルで60 sccmとし、そのうち10 sccmは加熱により温度を上昇させ、基板の裏側に吹き付けて、基板温度の変化を抑えるようにする。また成膜速度は68～72 nm/minとする。

#### 【0088】

なお本実施例で示した成膜条件はほんの一例であり、第2の下地膜の成膜条件はこれに限定されない。

#### 【0089】

##### 【発明の効果】

上述したように本発明では、凹凸の絶縁膜を用いることで、ボイドの大きさ、形状、レイアウトを最適化しやすく、剥離の際に必要な物理的な力、または剥離を促進させるための処理時間を抑えることができ、結果、剥離の際に半導体素子にかかる負担を小さくすることができる。また本発明では剥離は半導体素子に直接レーザーを照射したり、半導体素子の特性に影響を与えるような加熱処理を行なう必要はないので、半導体膜与えられる損傷を抑えることができる。また、ボイドの存在によって、第2の下地膜や半導体膜の内部応力を緩和することができ、半導体素子の作製工程におけるストレスマイグレーションを抑えることができる。

##### 【図面の簡単な説明】

- 【図1】 本発明の剥離方法で用いるボイドの形成方法。
- 【図2】 本発明の剥離方法を示す図。
- 【図3】 本発明の剥離方法を示す図。
- 【図4】 本発明の剥離方法を示す図。
- 【図5】 本発明の剥離方法を用いた表示装置の作製方法を示す図。
- 【図6】 絶縁膜を用いた凹凸の作製方法を示す図。
- 【図7】 絶縁膜を用いた凹凸の作製方法を示す図。
- 【図8】 第1の下地膜として金属膜を用いた場合の、本発明の剥離方法を示す図。

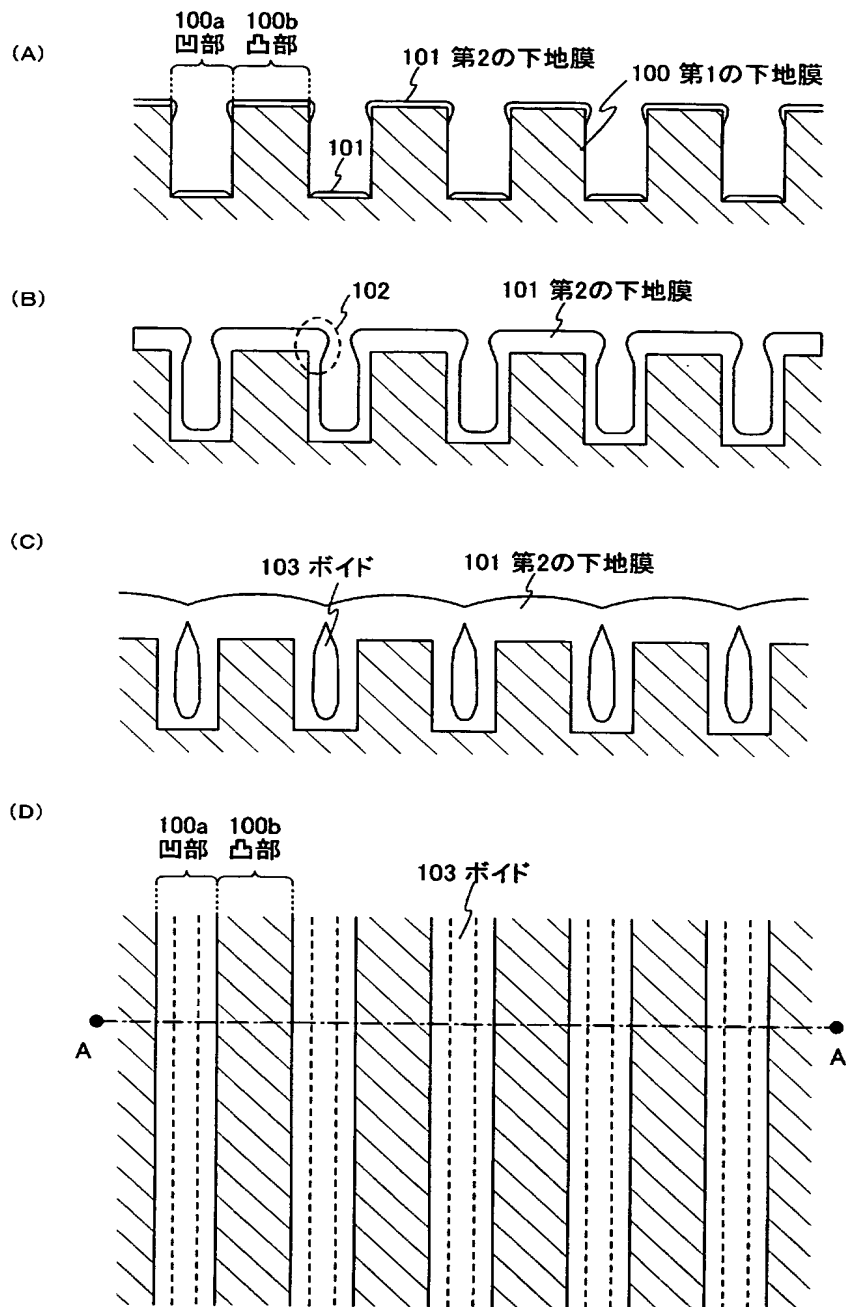


- 【図 9】 T F T の作製工程を示す図。
- 【図 1 0】 半導体素子の転写により得られる表示装置の外観図。
- 【図 1 1】 凹凸のレイアウトの一例を示す図。

【書類名】

図面

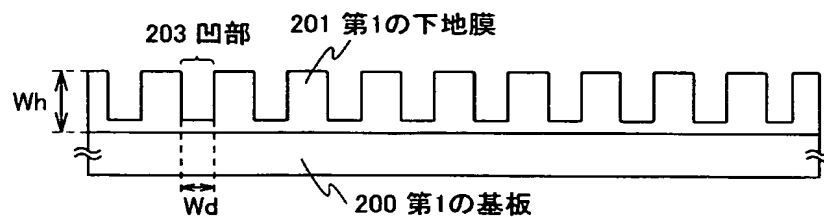
【図 1】



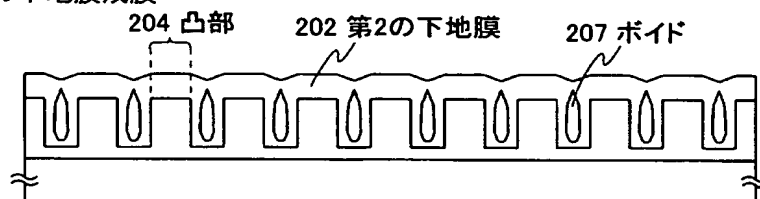


【図 2】

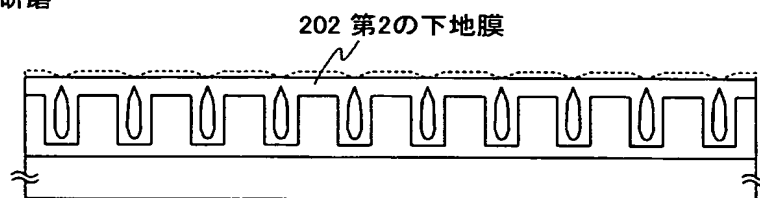
(A) 第1の基板上への第1の下地膜形成



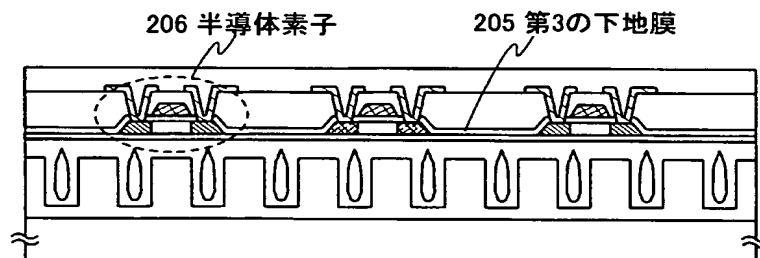
(B) 第2の下地膜成膜



(C) 表面研磨

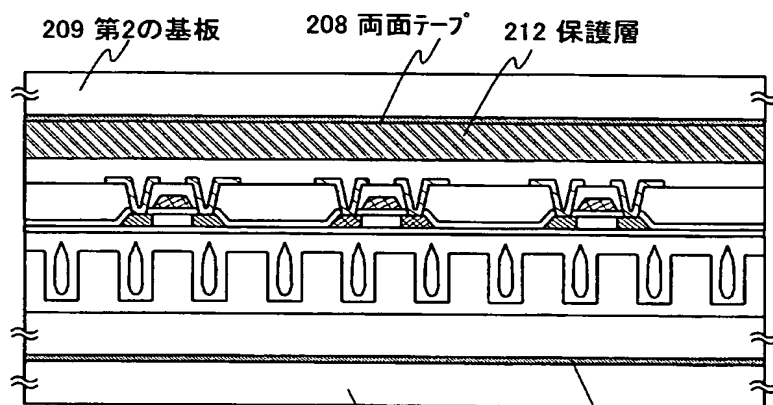


(D) 第3の下地膜成膜、半導体素子形成

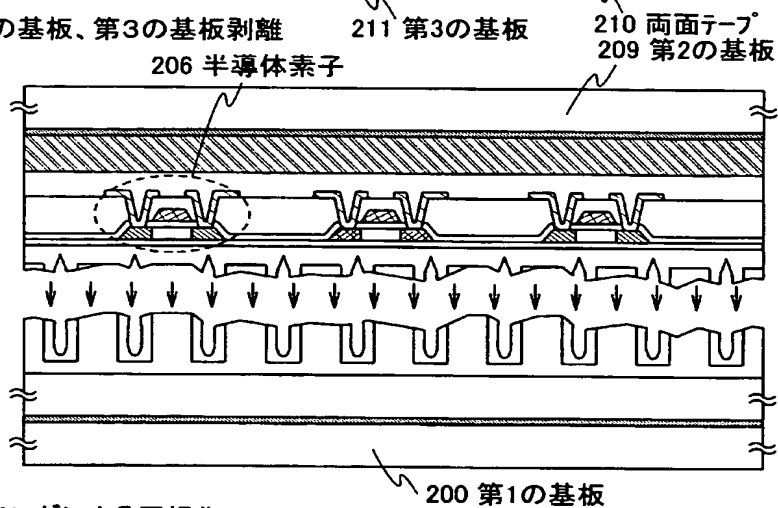


【図 3】

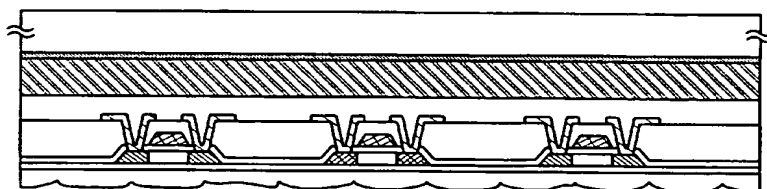
(A) 第2の基板、第3の基板 貼り合わせ



(B) 第1の基板、第3の基板剥離

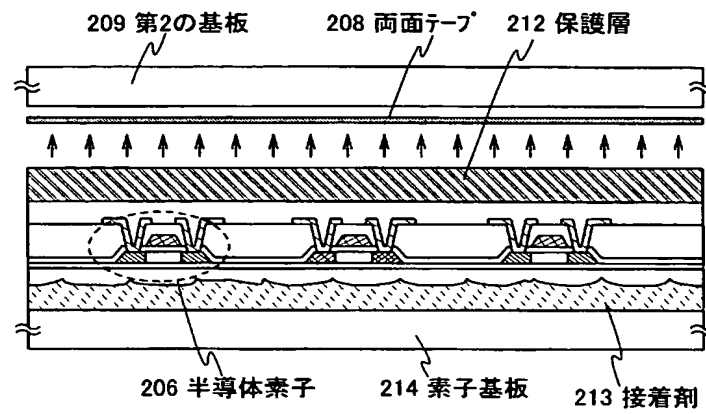


(C) エッチングによる平坦化

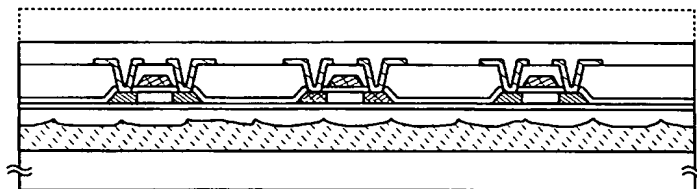


【図 4】

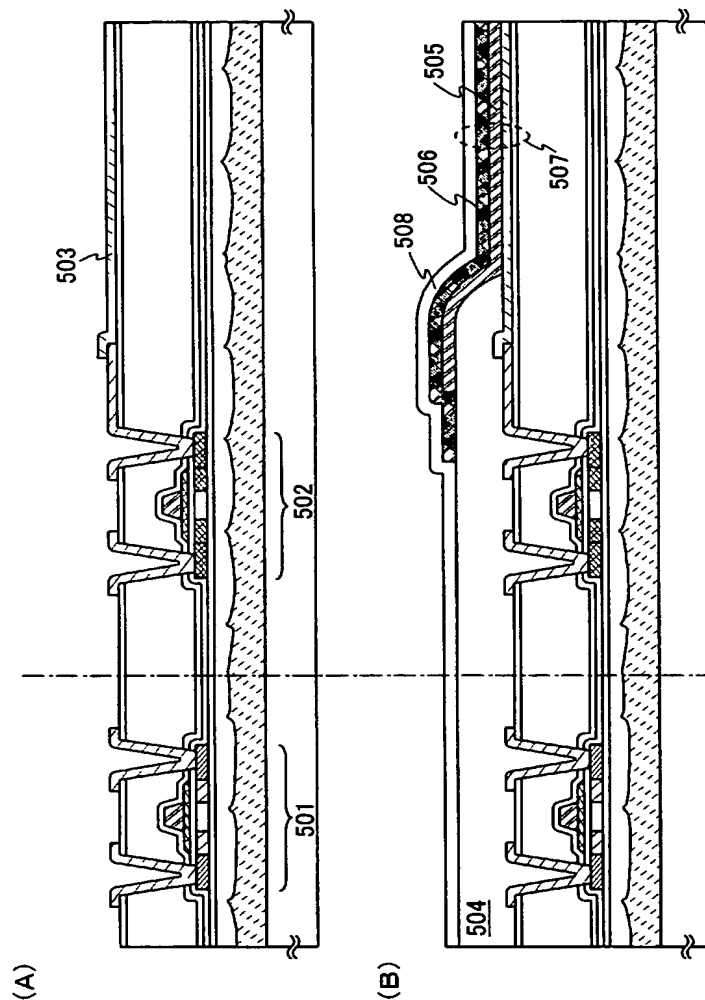
(A)プラスチック基板 貼り合わせ、第2の基板及び両面テープ除去



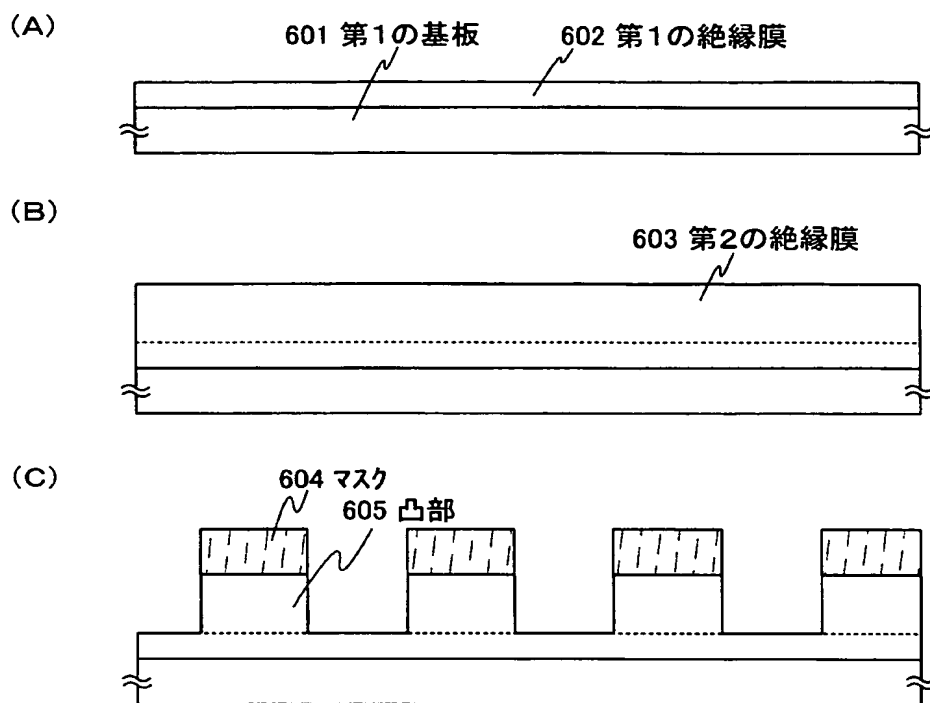
(B)接着剤除去



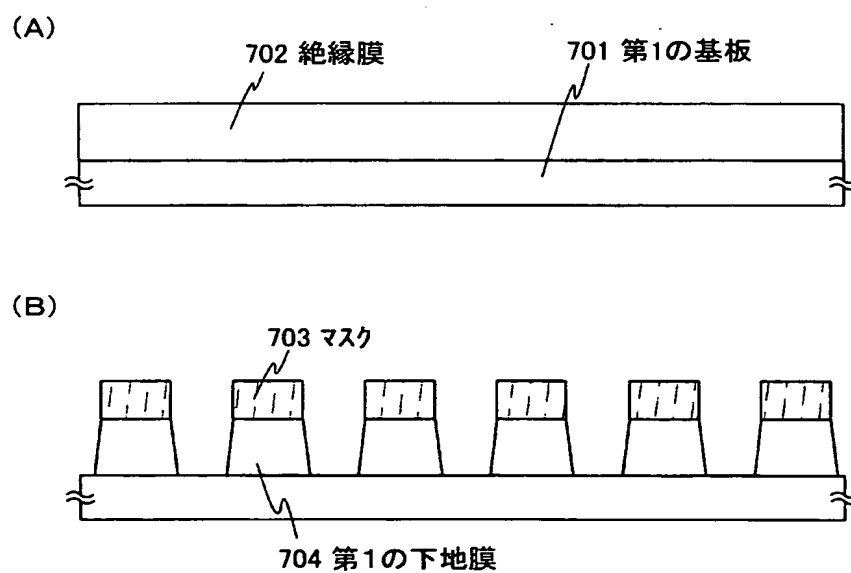
【図 5】



【図 6】

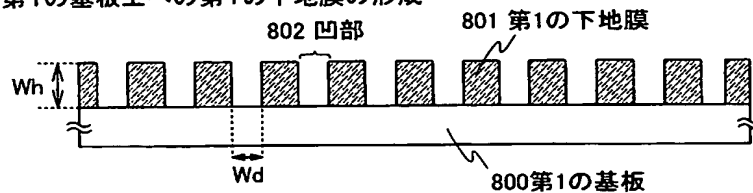


【図 7】

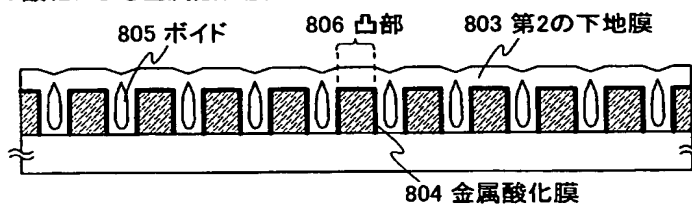


【図 8】

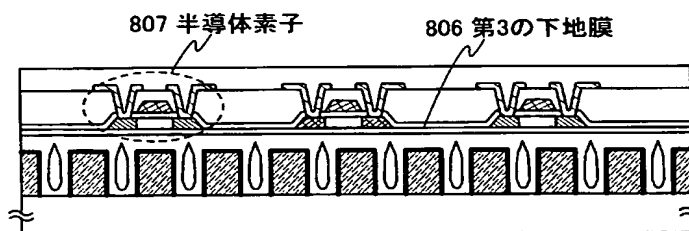
(A) 第1の基板上への第1の下地膜の形成



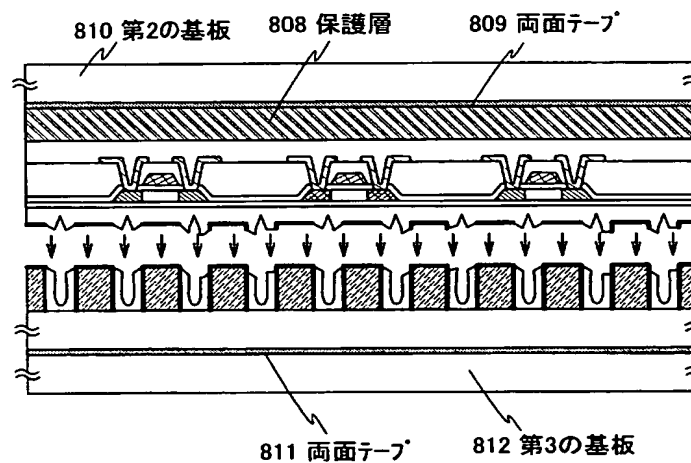
(B) 表面の酸化による金属酸化膜の形成、第2の下地膜成膜



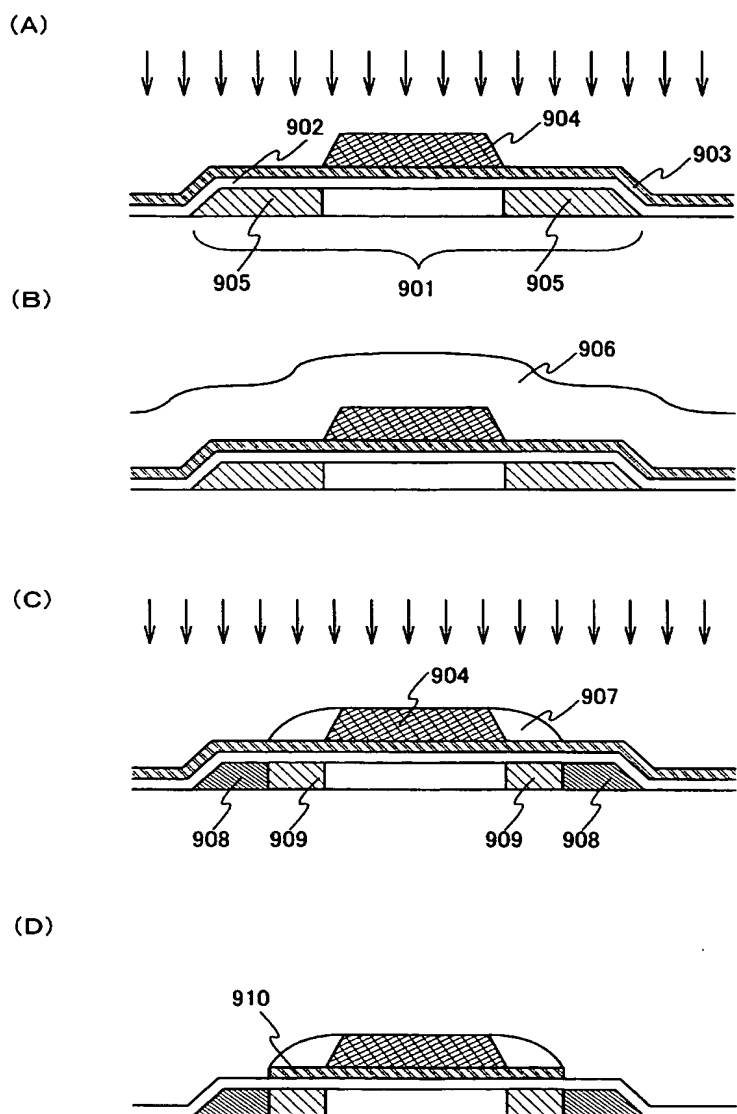
(C) 第3の下地膜成膜、半導体素子形成



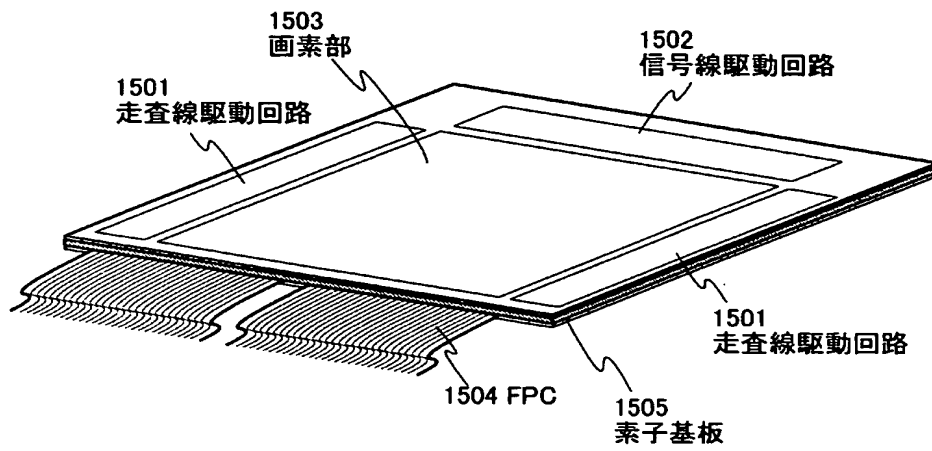
(D) 第1の基板、第3の基板剥離



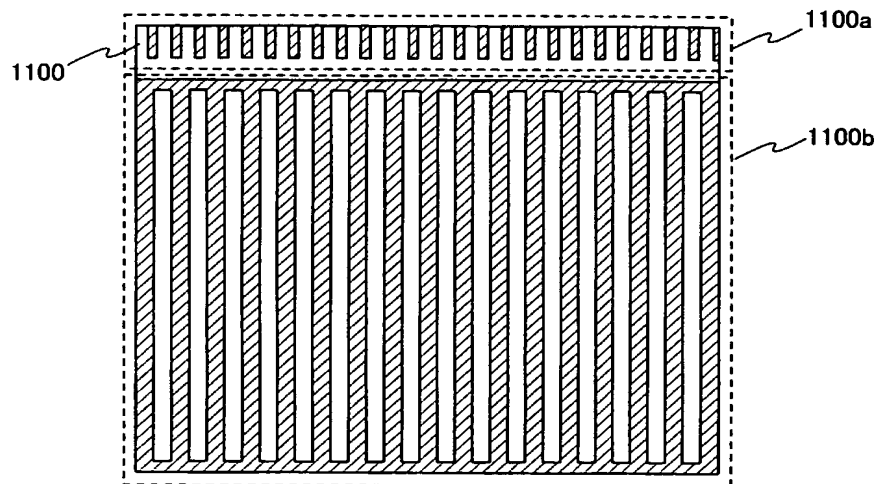
【図 9】



【図 10】



【図 11】





【書類名】 要約書

【要約】

【課題】 ボイドを用いて絶縁表面上の薄膜の半導体素子を剥離する剥離方法、及び該剥離した半導体素子を転写する半導体装置の作製方法の提案を課題とする。

【解決手段】 複数の凹部を有する第 1 の下地膜を基板上に形成し、複数の各凹部上に複数のボイドを有する第 2 の下地膜を、第 1 の下地膜上に成膜し、第 2 の下地膜上に第 3 の下地膜を形成し、第 3 の下地膜上に半導体素子を形成し、複数のボイドと交わる面を境に第 2 の下地膜を分離することで、基板を半導体素子から剥離することを特徴とする半導体素子の剥離方法。

【選択図】 図 1

特願 2 0 0 3 - 0 5 2 1 3 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 5 3 8 7 8 ]

1 . 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所